

2024年7月10日

最先端 ロジックトランジスタ技術 研究開発動向(基礎と応用)

産業技術総合研究所
先端半導体研究センター
八木下 淳史

目次

I. トランジスタ構造の変遷と製造方法(基礎編)

(1) 新材料や新構造によるCMOSトランジスタの進展

(2) Gate-First, Gate-Lastプロセス比較

(3) PlanarFET, FinFET, GAAFET比較

(4) Planar FETプロセス

(5) FinFETプロセス

(6) Nanosheet GAA(Gate-All-Around)FETプロセス

II. 学会動向(応用編)

(1) GAAFET(IBM, 三星, GF)

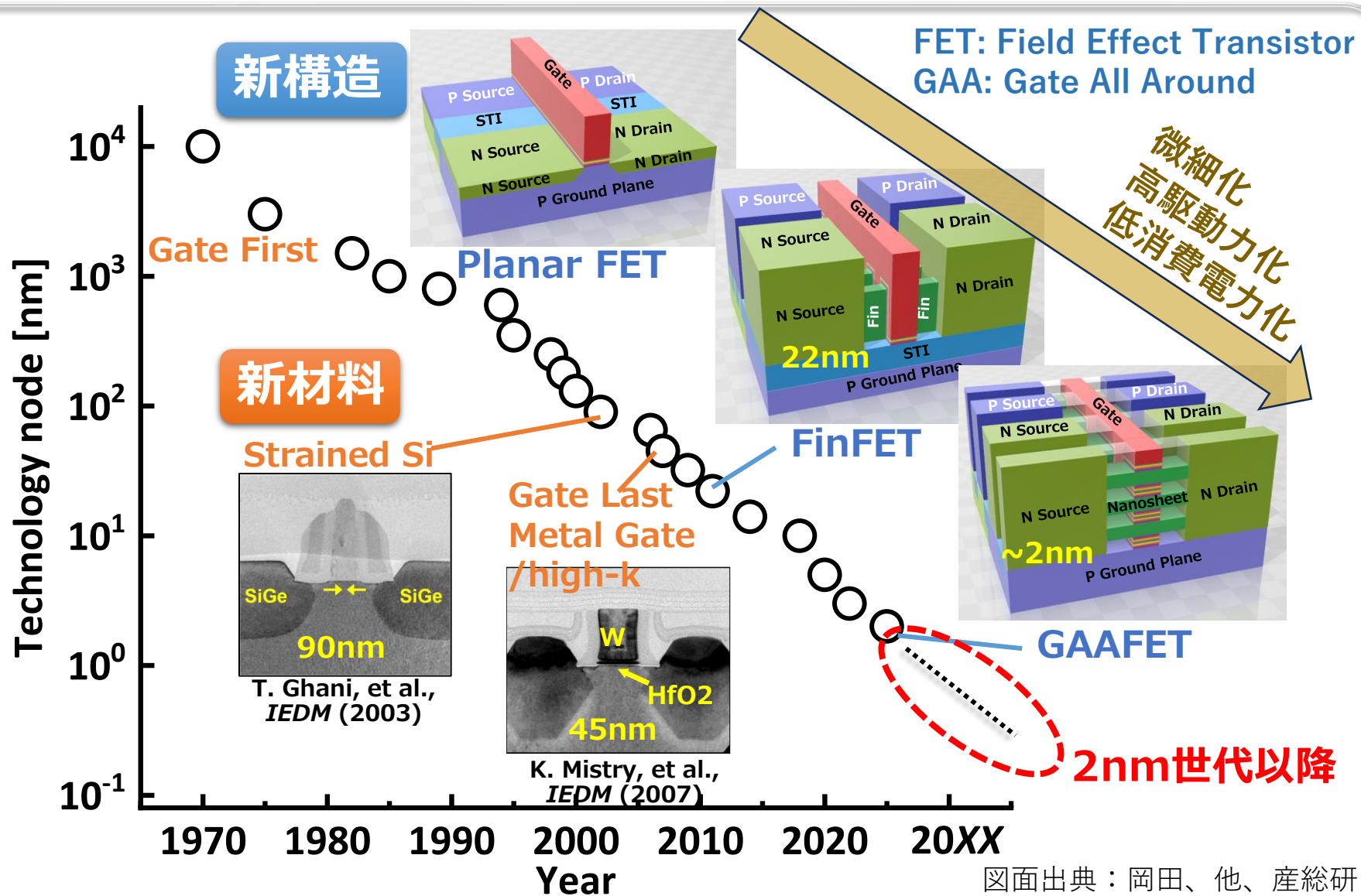
(2) CFET(imec, 等)

(3) 2D材料(TSMC, imec, 等)

(4) 裏面配線(Intel, 三星, IBM, imec, 等)

III. 将来展望(私見)

新材料や新構造によるCMOSトランジスタの進展



図面出典：岡田、他、産総研

目次

I. トランジスタ構造の変遷と製造方法(基礎編)

(1) 新材料や新構造によるCMOSトランジスタの進展

(2) Gate-First, Gate-Lastプロセス比較

(3) PlanarFET, FinFET, GAAFET比較

(4) Planar FETプロセス

(5) FinFETプロセス

(6) Nanosheet GAA(Gate-All-Around)FETプロセス

II. 学会動向(応用編)

(1) GAAFET(IBM, 三星, GF)

(2) CFET(imec, 等)

(3) 2D材料(TSMC, imec, 等)

(4) 裏面配線(Intel, 三星, IBM, imec, 等)

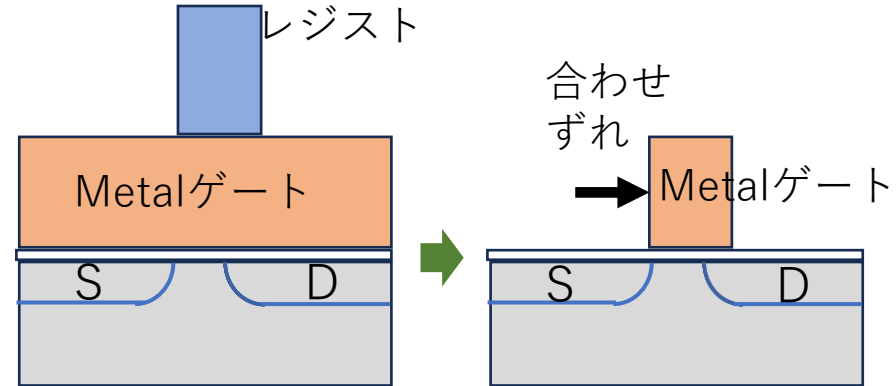
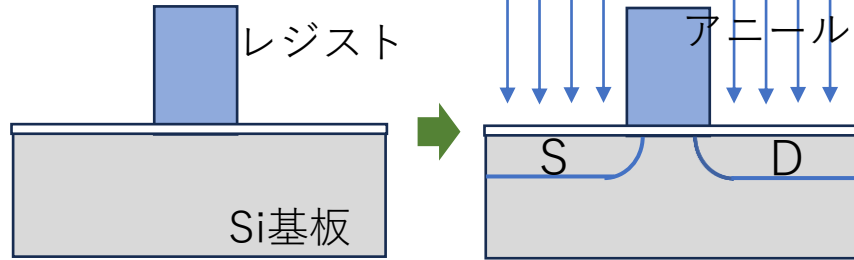
III. 将来展望(私見)

Gate-First vs. Gate-Last

Gate-First: GateをS/D活性化の前に造る
 Gate-Last: GateをS/D活性化の後に造る

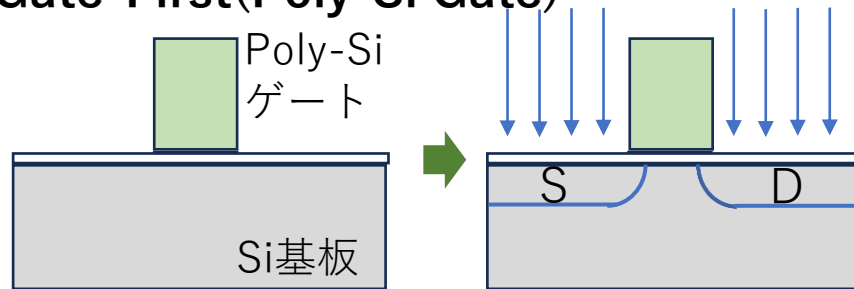
高温1000°C以上 ←→ 低温450°C以下

昔のGate-Last



MG適用可能、G-S/D非セルフアライン

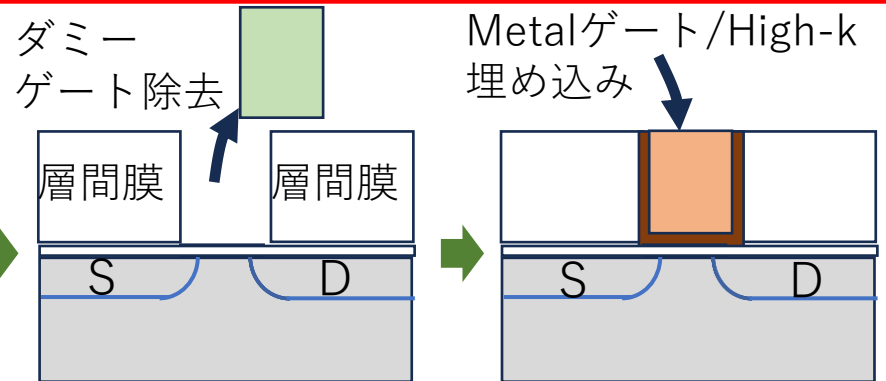
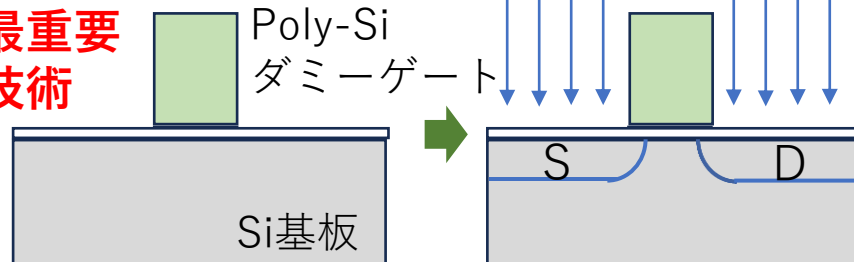
Gate-First(Poly-Si Gate)



G-S/Dセルフアライン、
 MGHK適用困難(S/D熱工程に耐えられない)、
 SiO₂ゲート絶縁膜リーク電流、
 Polyゲート電極空乏化(電氣的ゲート絶縁膜の厚膜化)、ゲート配線抵抗大

Gate-Last(Metal-Gate/High-k)

**標準
 最重要
 技術**



MGHK適用可能、G-S/Dセルフアライン

目次

I. トランジスタ構造の変遷と製造方法(基礎編)

(1)新材料や新構造によるCMOSトランジスタの進展

(2)Gate-First, Gate-Lastプロセス比較

(3)PlanarFET, FinFET, GAAFET比較

(4)Planar FETプロセス

(5)FinFETプロセス

(6)Nanosheet GAA(Gate-All-Around)FETプロセス

II. 学会動向(応用編)

(1)GAAFET(IBM, 三星, GF)

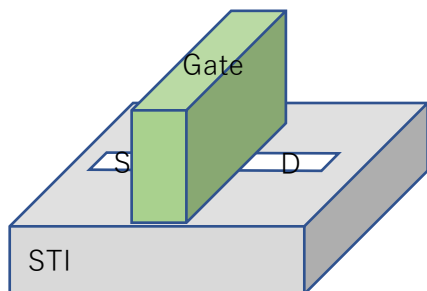
(2)CFET(imec,等)

(3)2D材料(TSMC,imec,等)

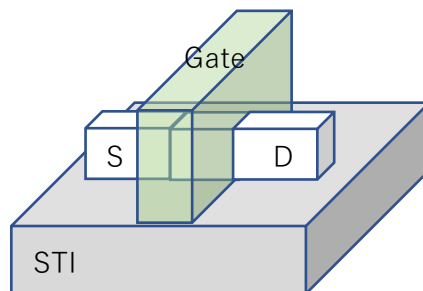
(4)裏面配線(Intel,三星,IBM, imec,等)

III. 将来展望(私見)

Planar FET, FinFET, GAAFETの比較

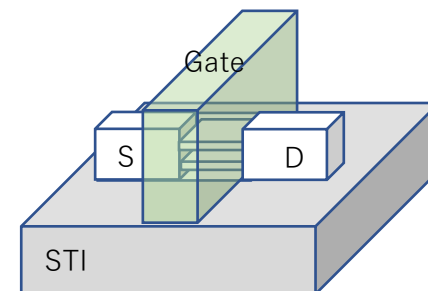


PlanarFET

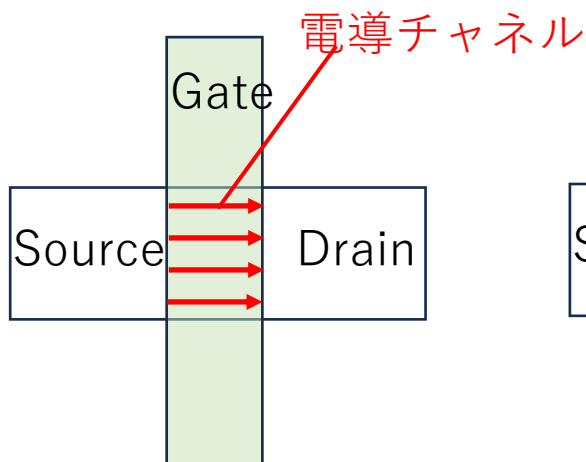


FinFET

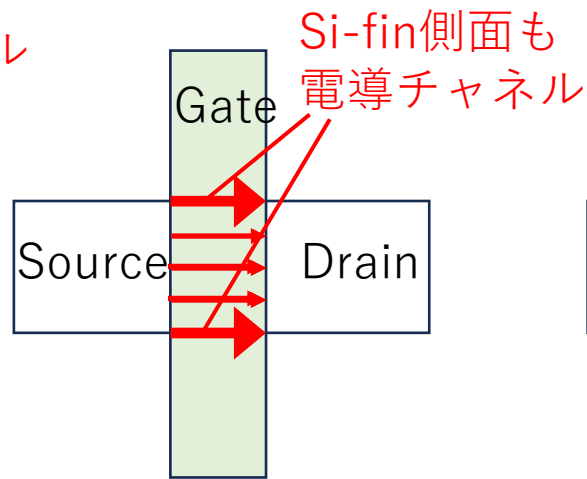
鳥瞰図



Nanosheet-GAAFET

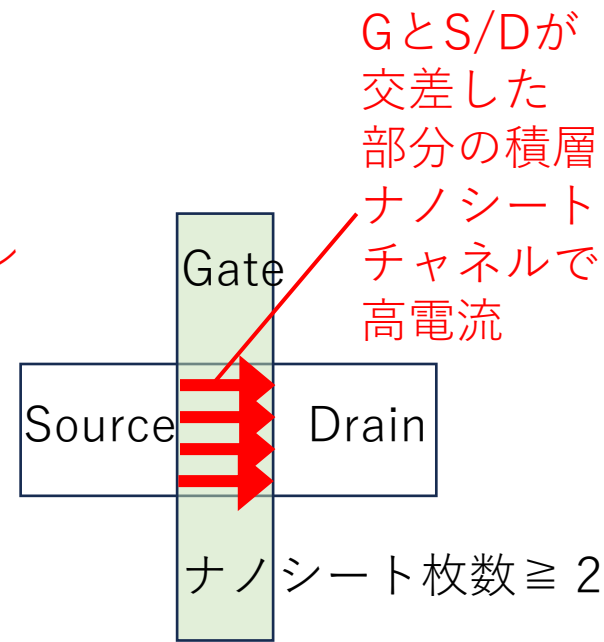


PlanarFET



FinFET

平面図

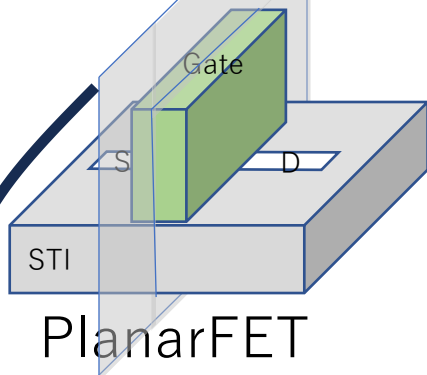


Nanosheet-GAAFET

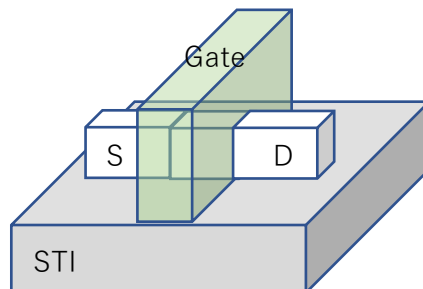
FinFET ≡ TriGate
GAA: Gate-All-Around

Planar FET, FinFET, GAAFETの比較

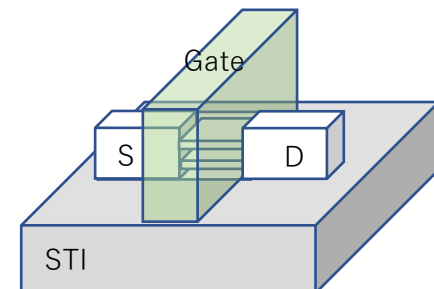
断面



PlanarFET



FinFET

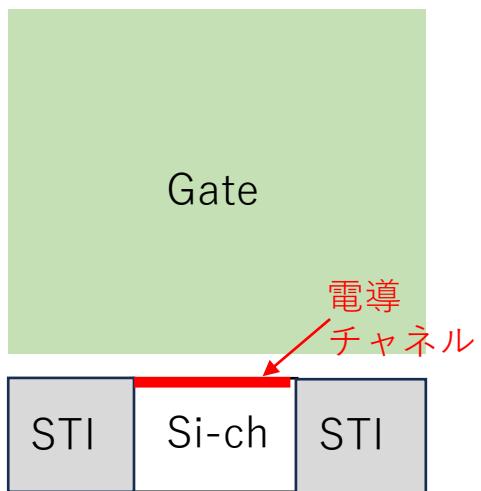


Nanosheet-GAAFET

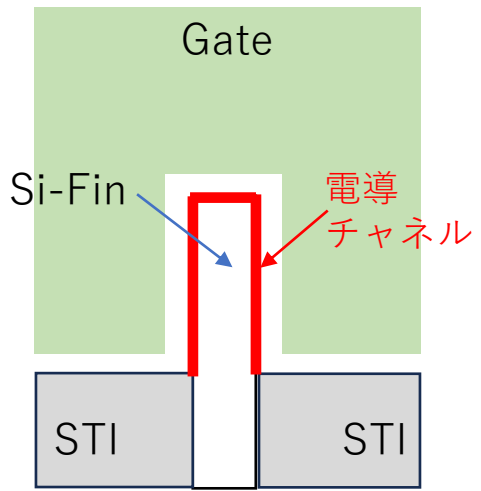
鳥瞰図



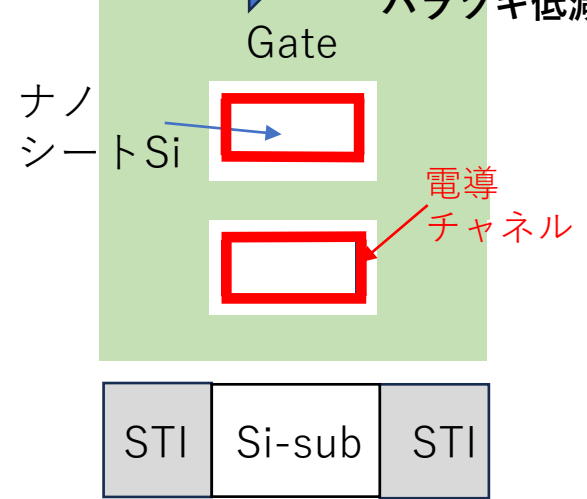
微細化/高集積化
高駆動力化
バラツキ低減



PlanarFET



FinFET
ゲート断面図



Nanosheet-GAAFET

FinFET ≡ TriGate
GAA: Gate-All-Around

目次

I. トランジスタ構造の変遷と製造方法(基礎編)

(1)新材料や新構造によるCMOSトランジスタの進展

(2)Gate-First, Gate-Lastプロセス比較

(3)PlanarFET, FinFET, GAAFET比較

(4)Planar FETプロセス

(5)FinFETプロセス

(6)Nanosheet GAA(Gate-All-Around)FETプロセス

II. 学会動向(応用編)

(1)GAAFET(IBM, 三星, GF)

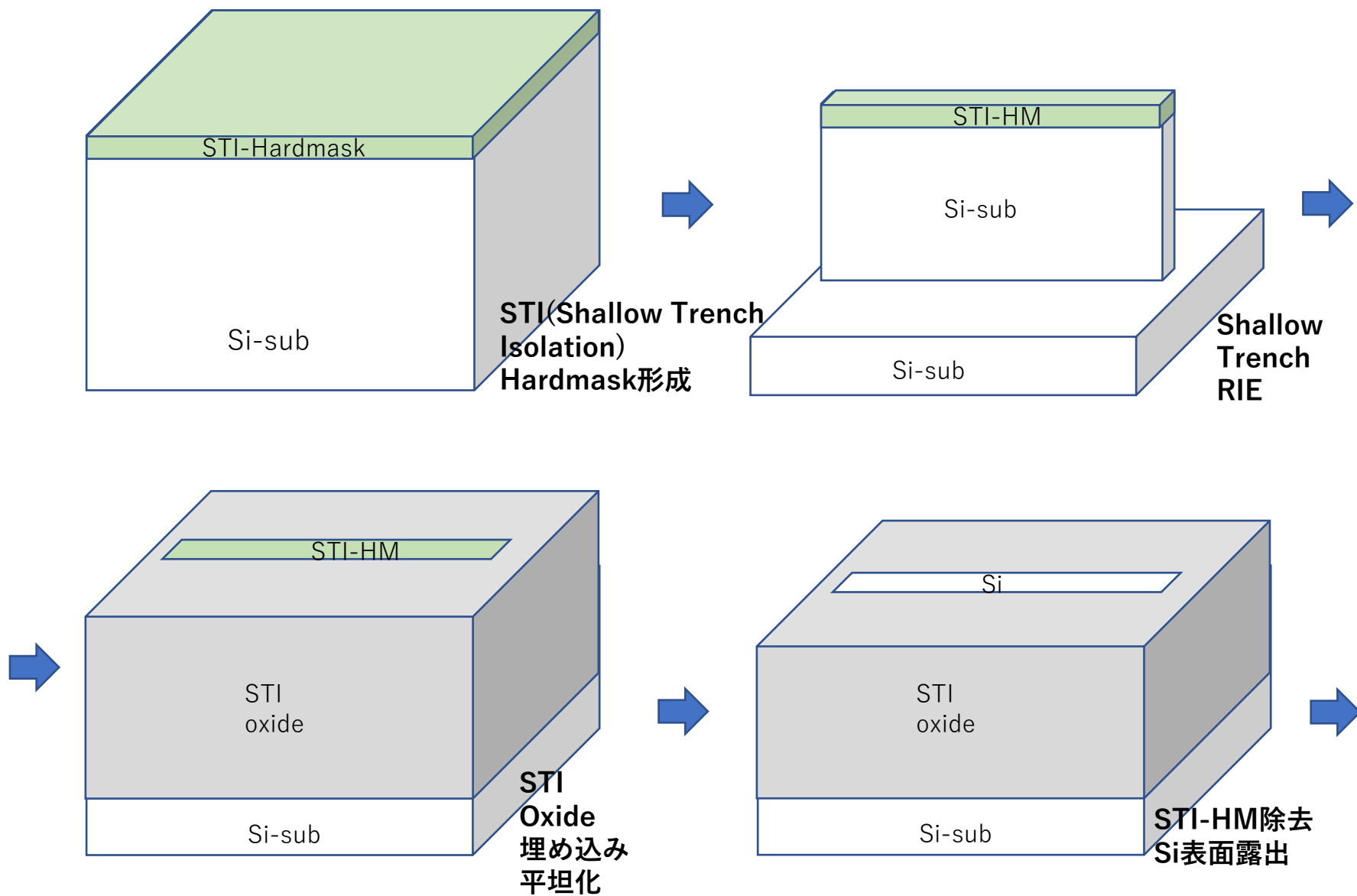
(2)CFET(imec,等)

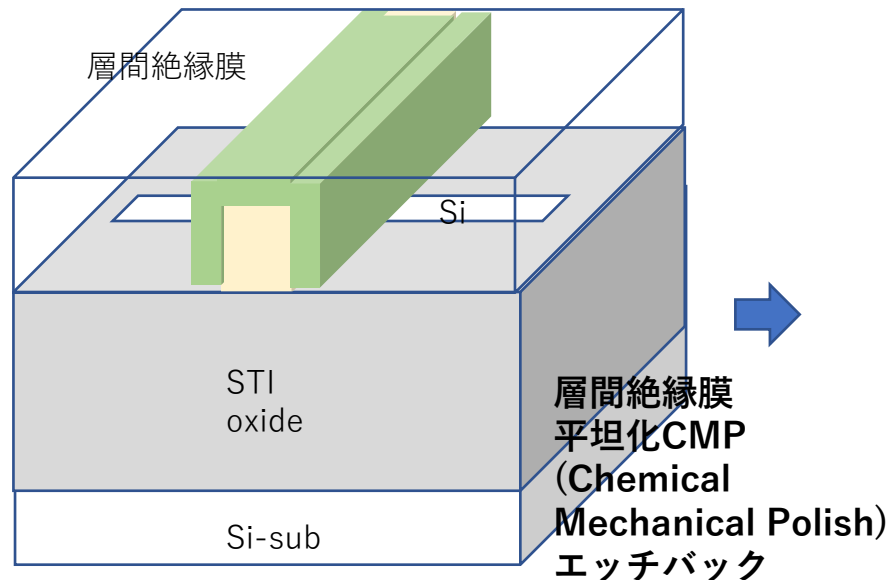
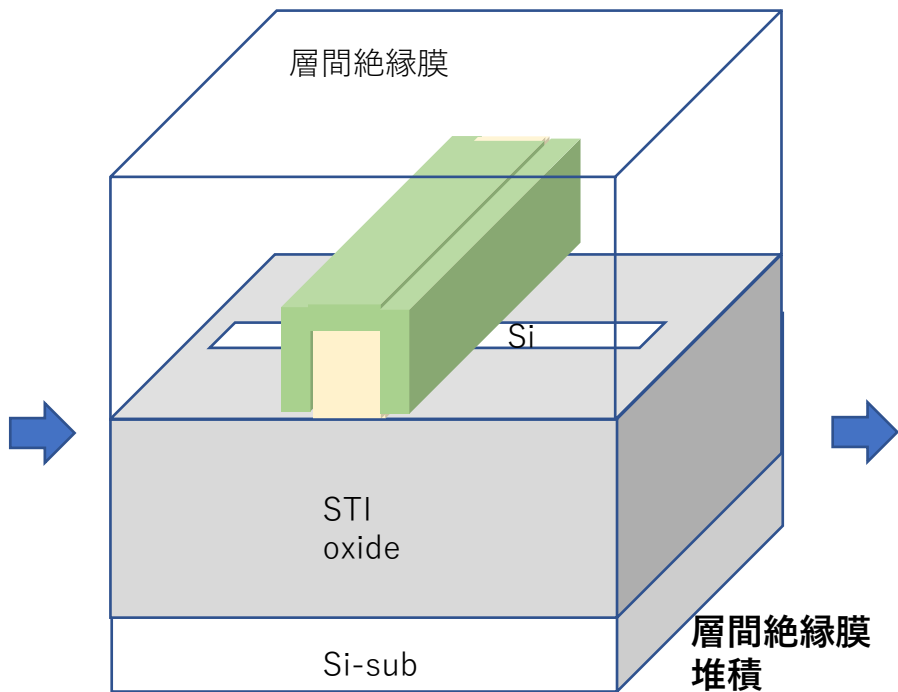
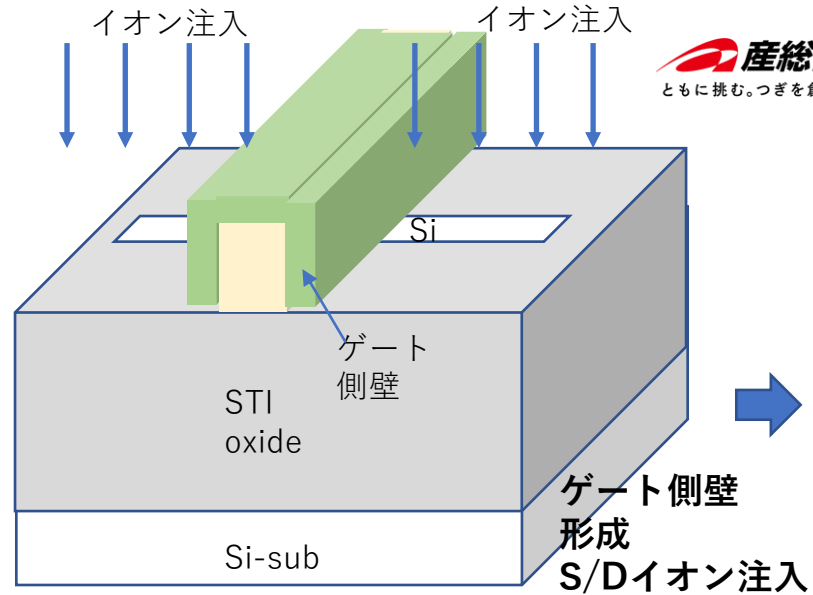
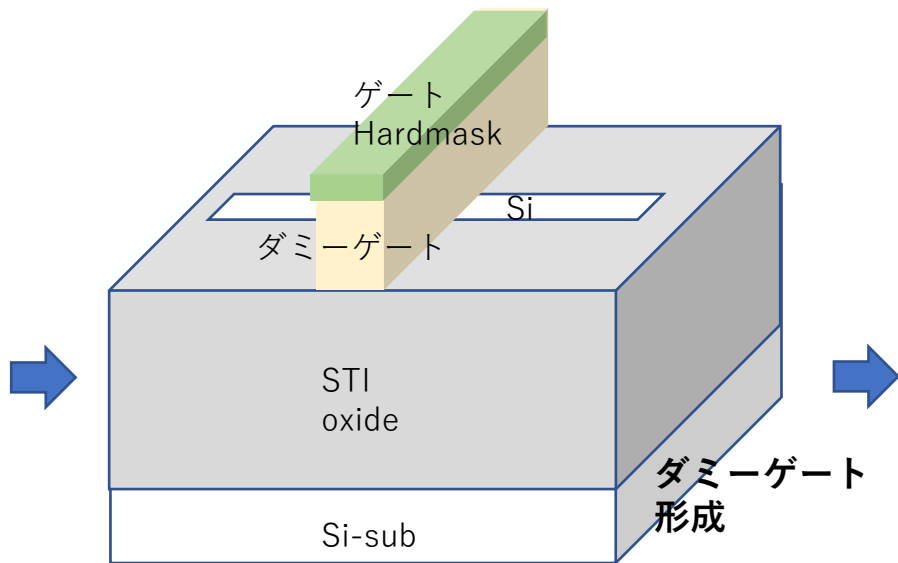
(3)2D材料(TSMC,imec,等)

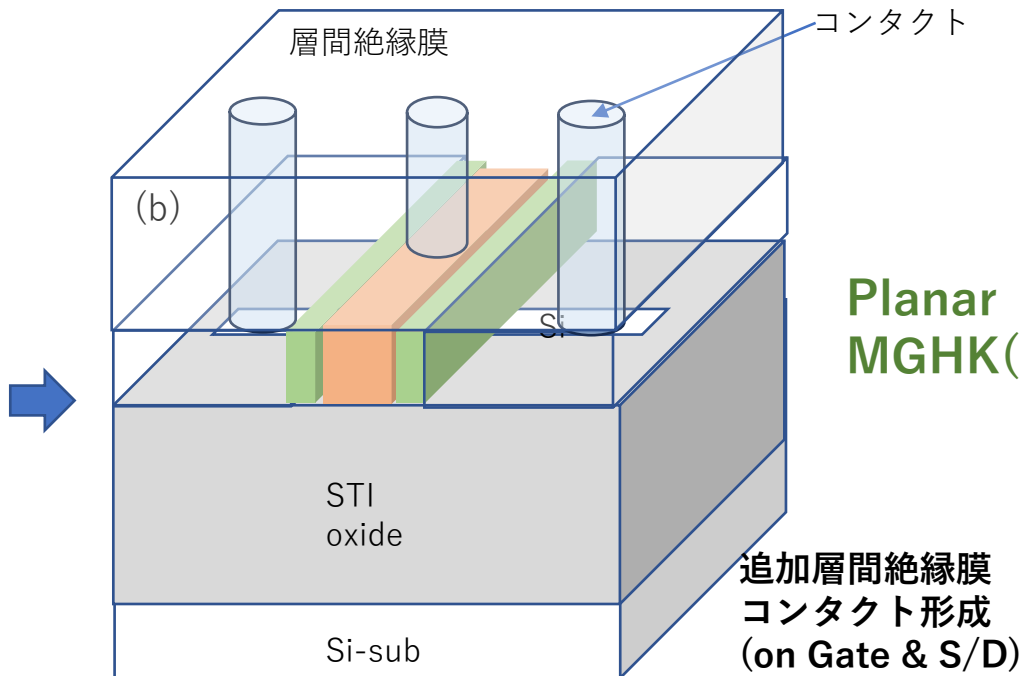
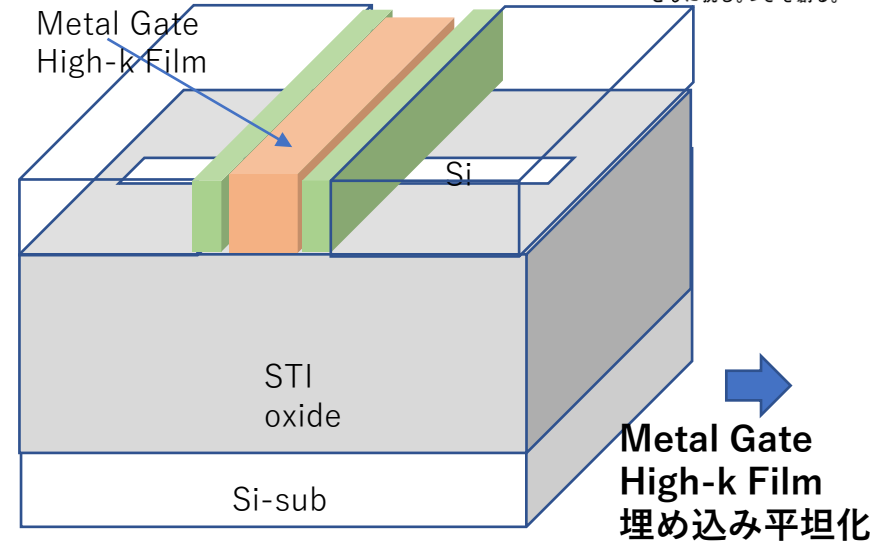
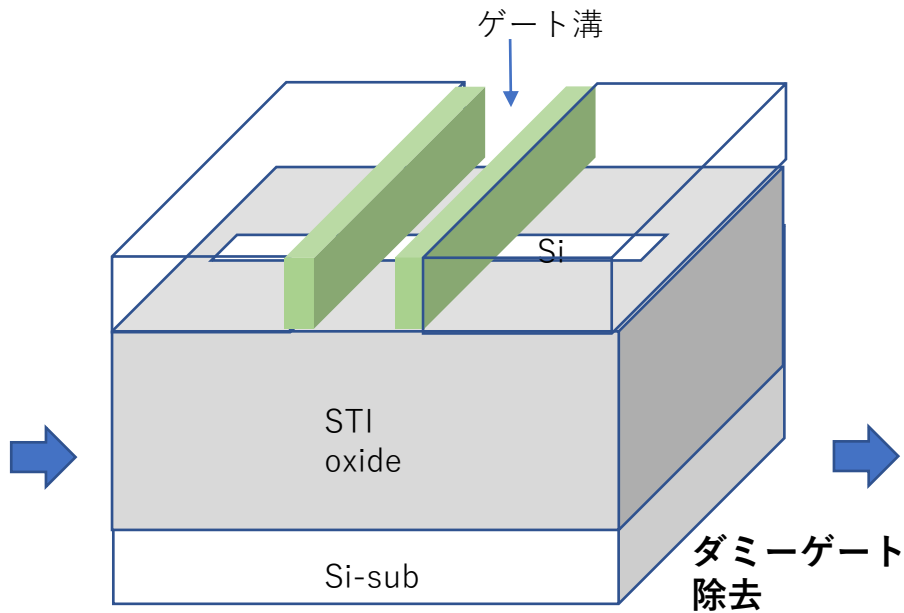
(4)裏面配線(Intel,三星,IBM, imec,等)

III. 将来展望(私見)

Planar-FETプロセスフロー鳥瞰図







Planar
MGHK(Metal Gate/High-k)Gate-FET完成

目次

I. トランジスタ構造の変遷と製造方法(基礎編)

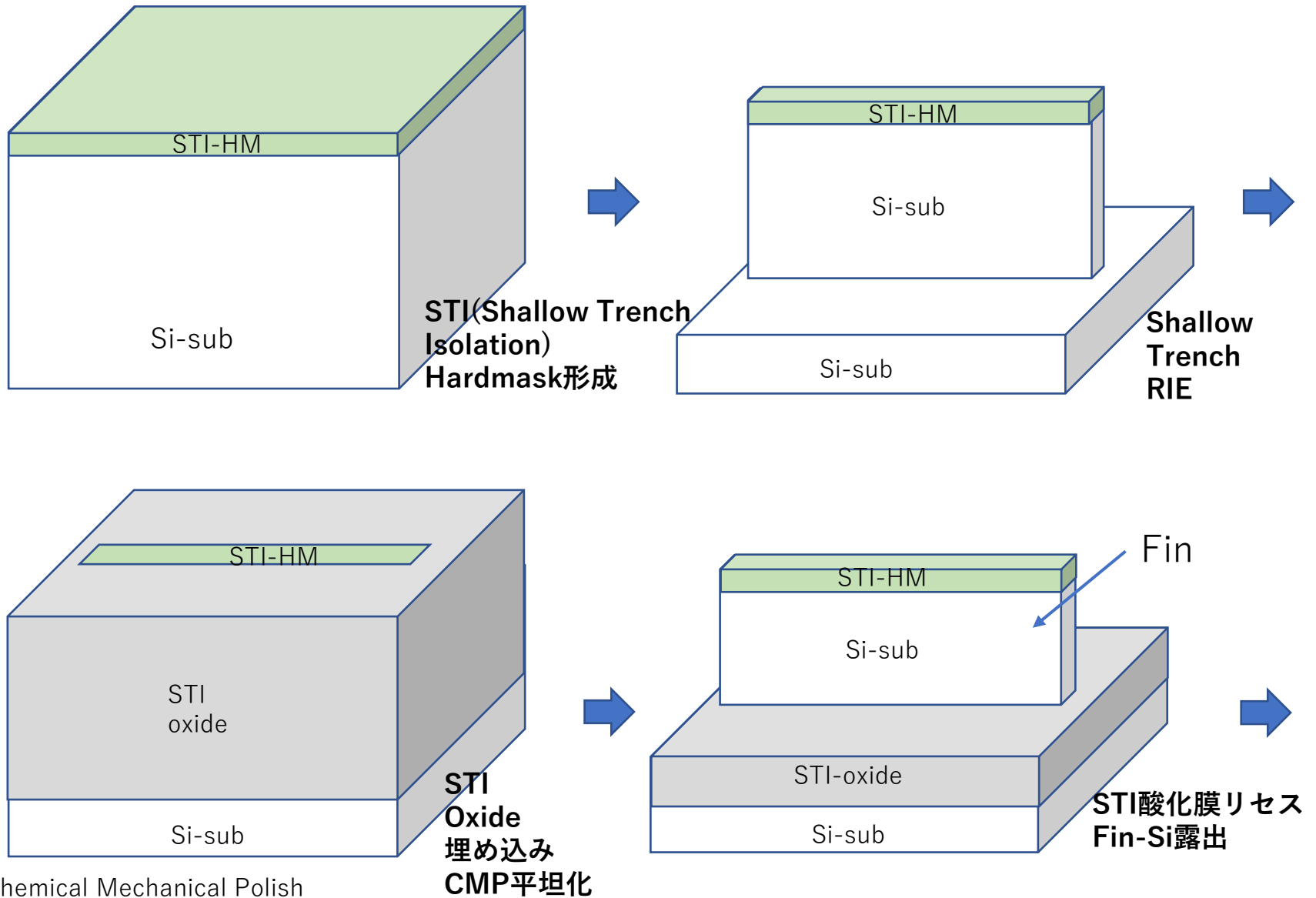
- (1) 新材料や新構造によるCMOSトランジスタの進展
- (2) Gate-First, Gate-Lastプロセス比較
- (3) PlanarFET, FinFET, GAAFET比較
- (4) Planar FETプロセス
- (5) FinFETプロセス
- (6) Nanosheet GAA(Gate-All-Around)FETプロセス

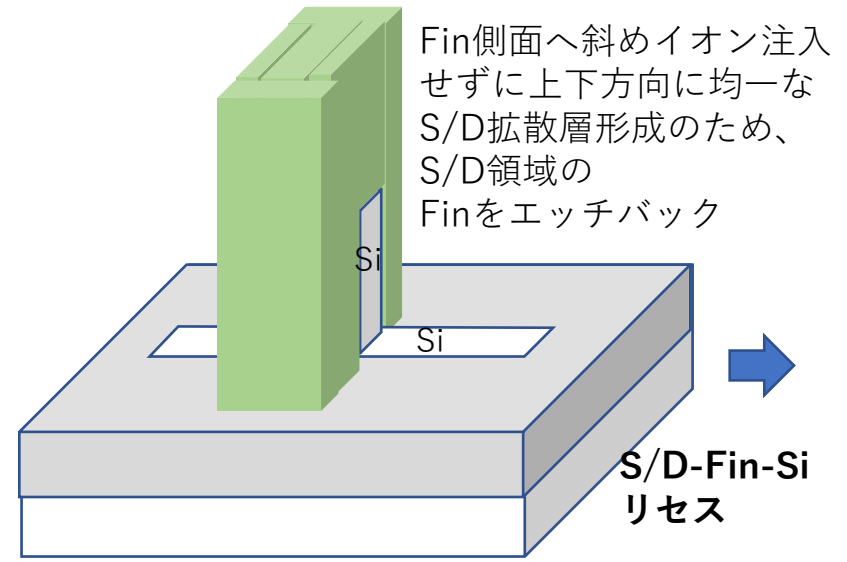
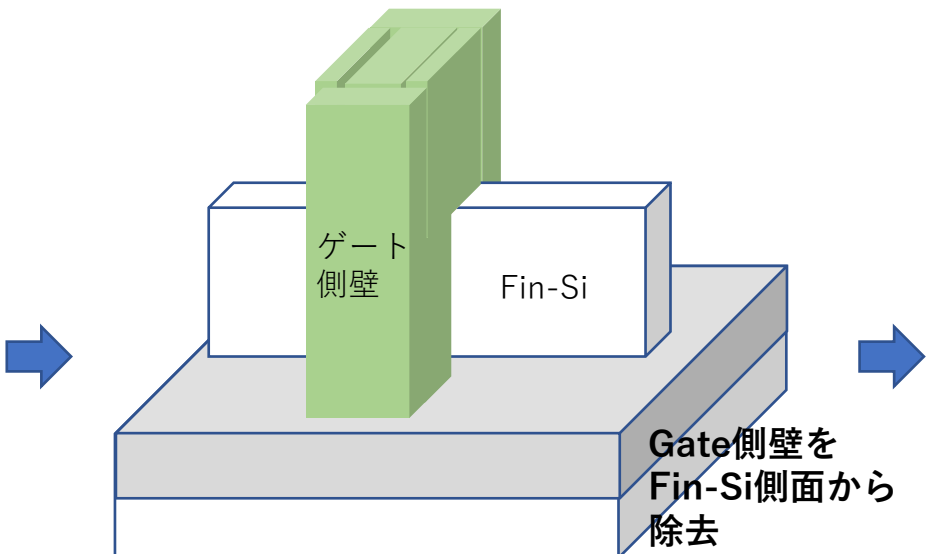
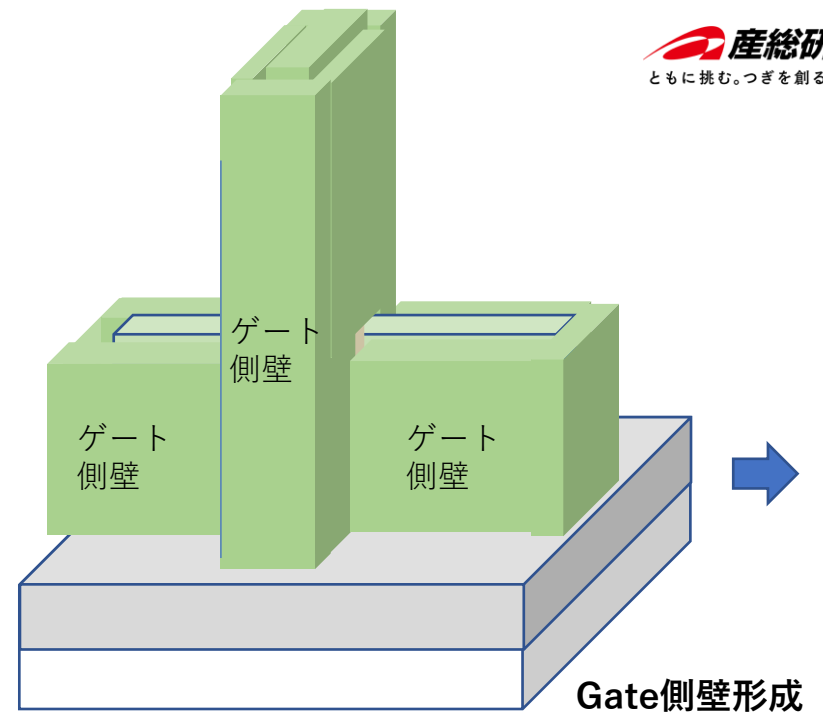
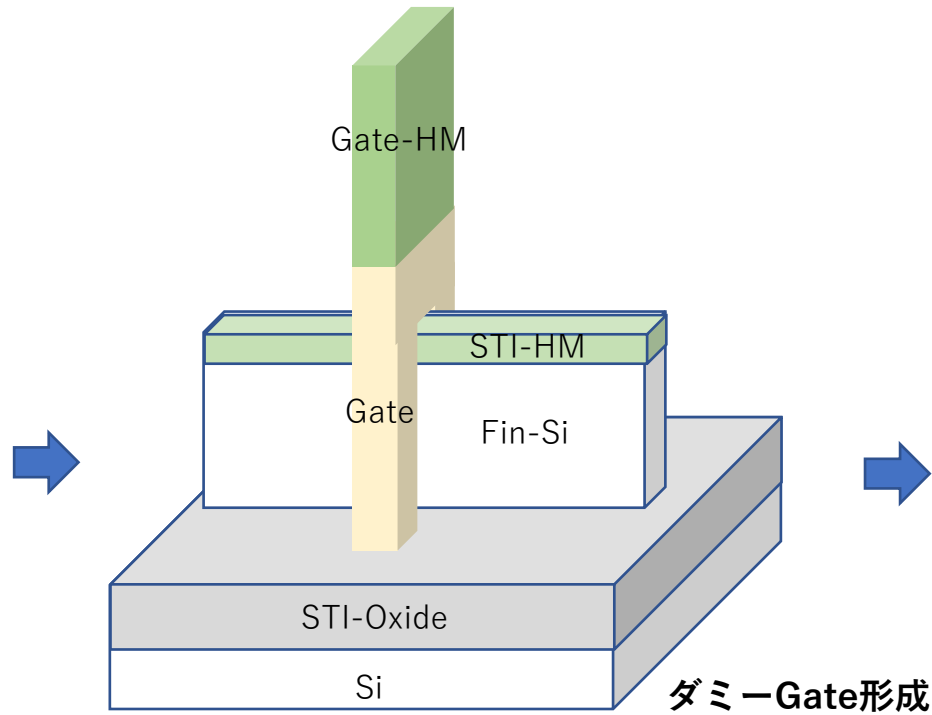
II. 学会動向(応用編)

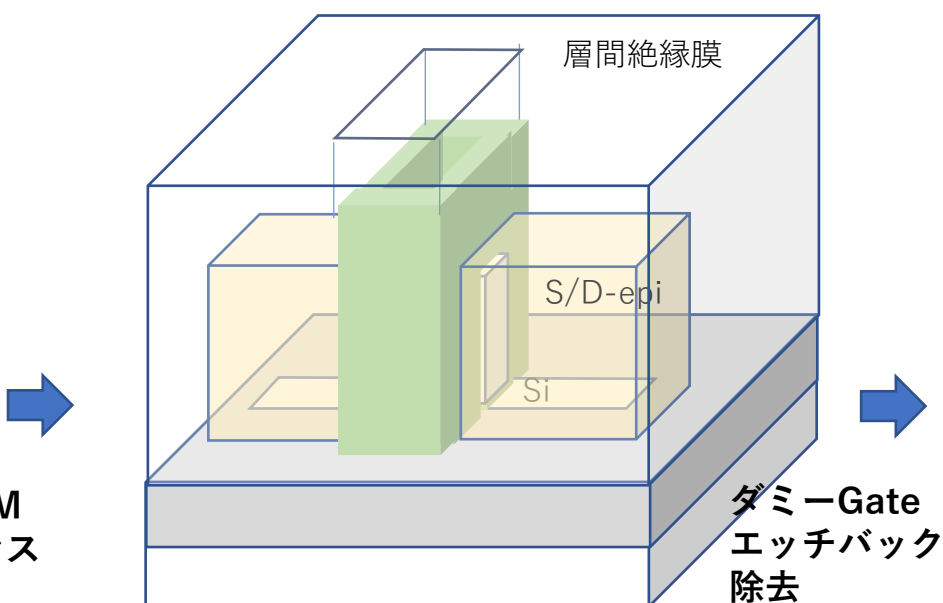
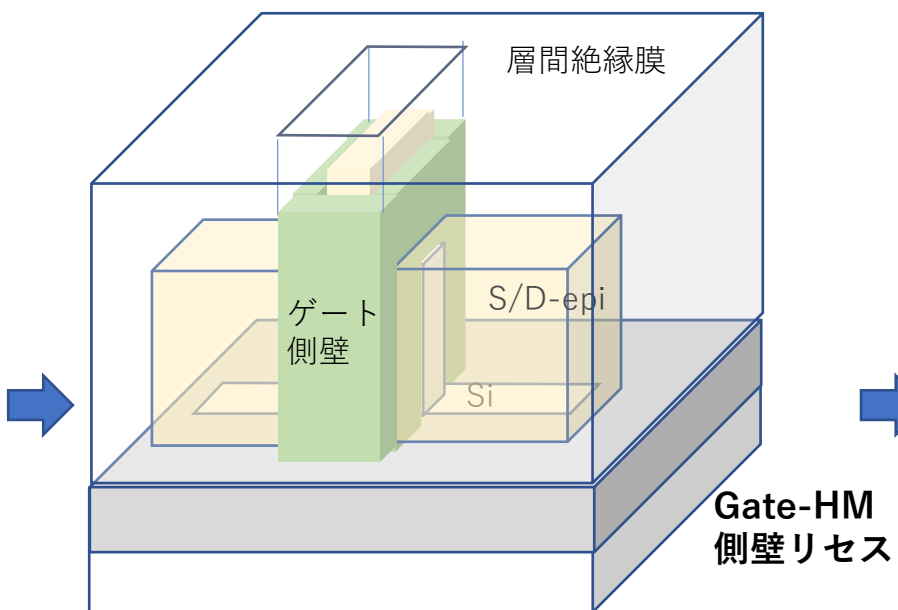
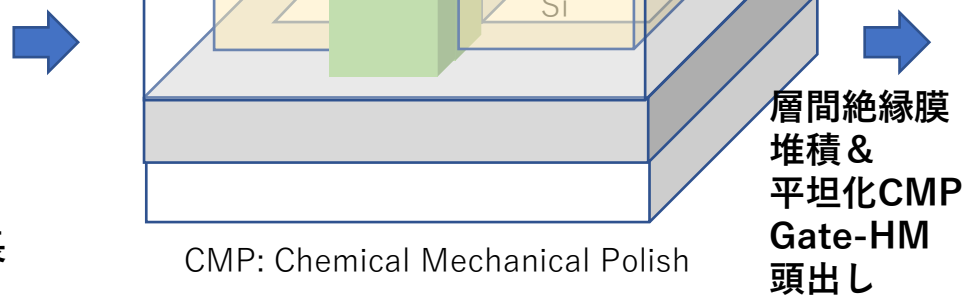
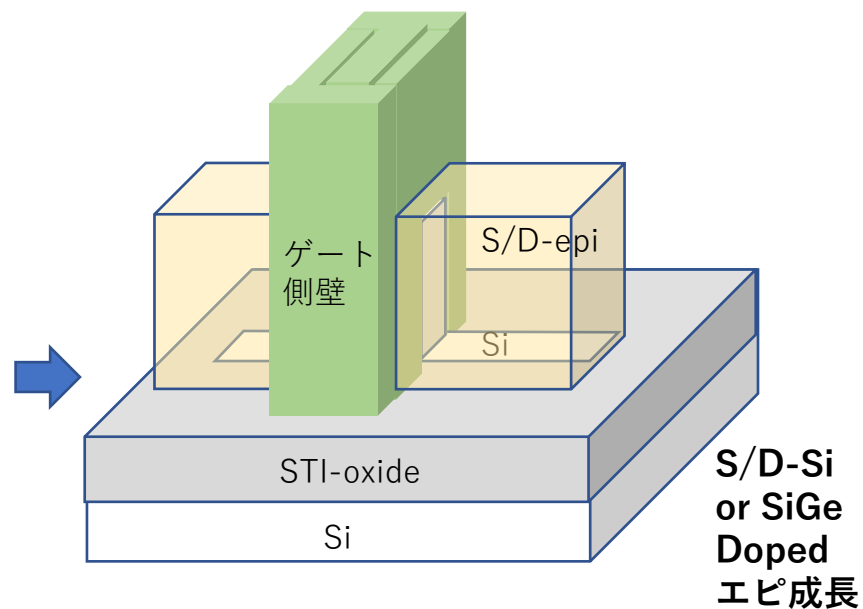
- (1) GAAFET(IBM, 三星, GF)
- (2) CFET(imec, 等)
- (3) 2D材料(TSMC, imec, 等)
- (4) 裏面配線(Intel, 三星, IBM, imec, 等)

III. 将来展望(私見)

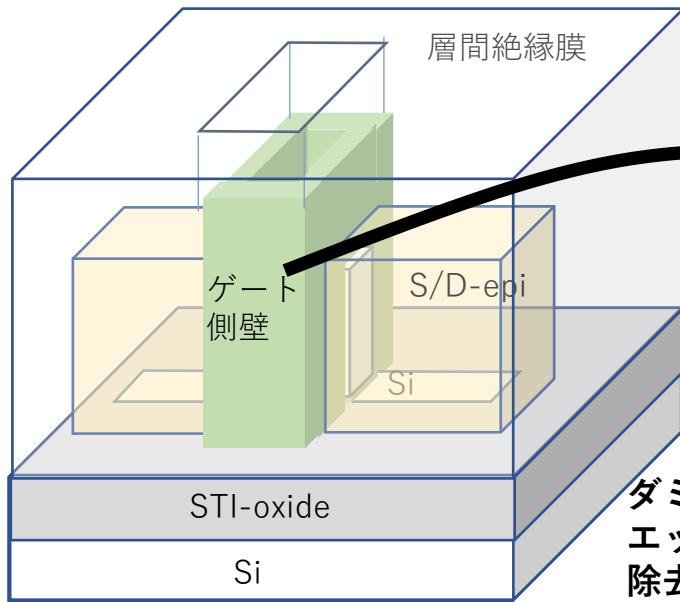
Fin-FETプロセスフロー鳥瞰図







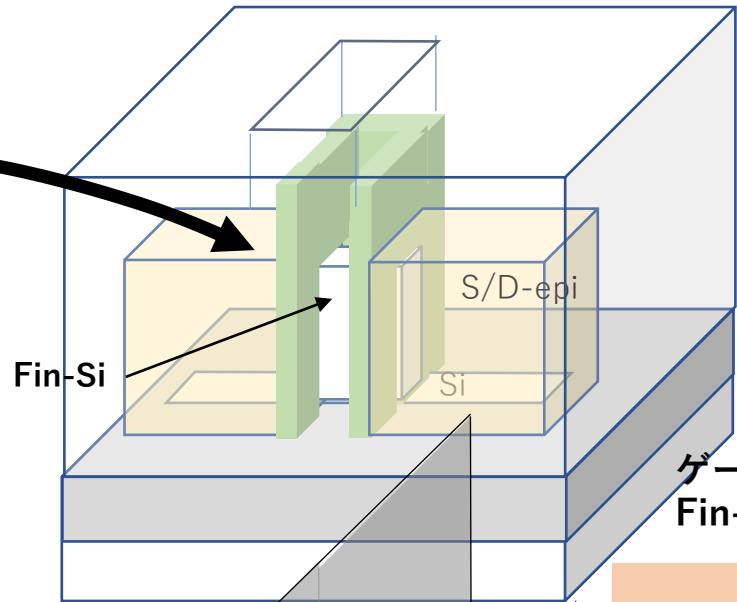
手前の側壁を除去した図



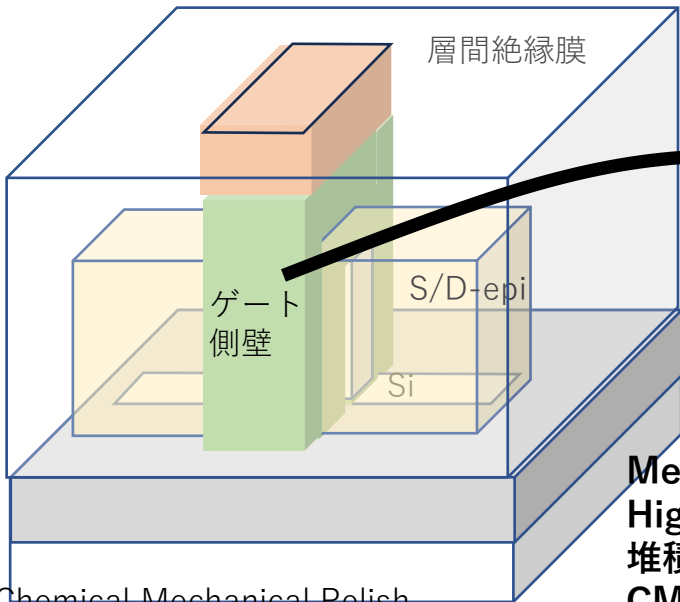
除去

=

ダミーGate
エッチバック
除去



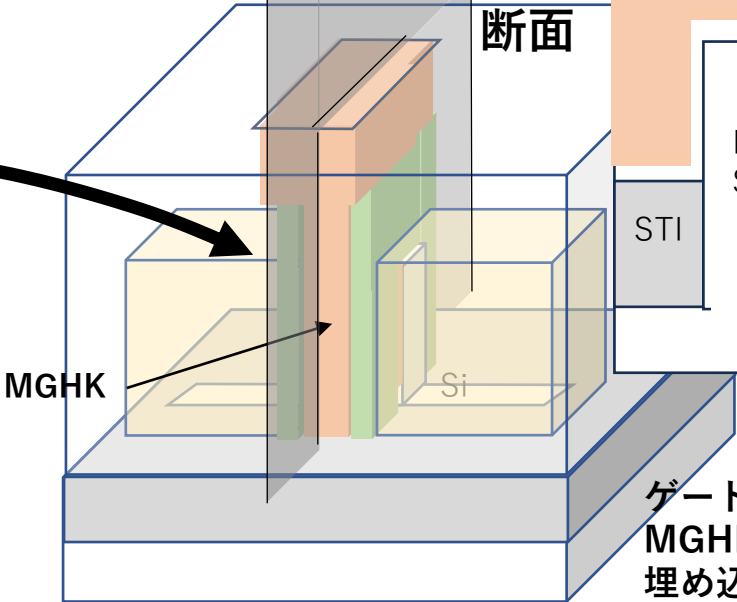
ゲート溝内
Fin-Si露出



除去

=

Metal-Gate
High-k Film
堆積 &
CMP平坦化



ゲート溝内
MGHK
埋め込み

CMP: Chemical Mechanical Polish

FinFET完成

目次

I. トランジスタ構造の変遷と製造方法(基礎編)

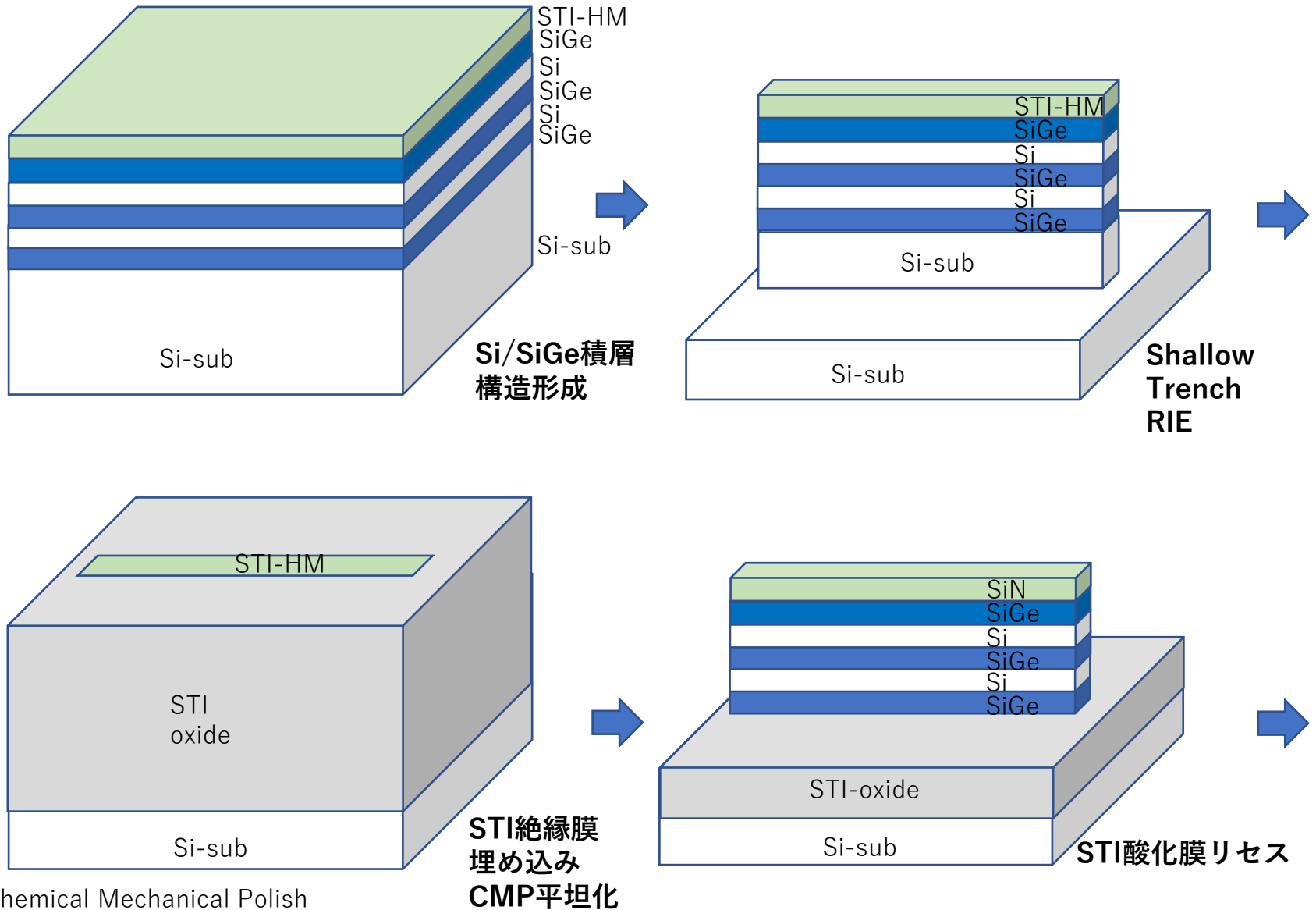
- (1) 新材料や新構造によるCMOSトランジスタの進展
- (2) Gate-First, Gate-Lastプロセス比較
- (3) PlanarFET, FinFET, GAAFET比較
- (4) Planar FETプロセス
- (5) FinFETプロセス
- (6) Nanosheet GAA(Gate-All-Around)FETプロセス

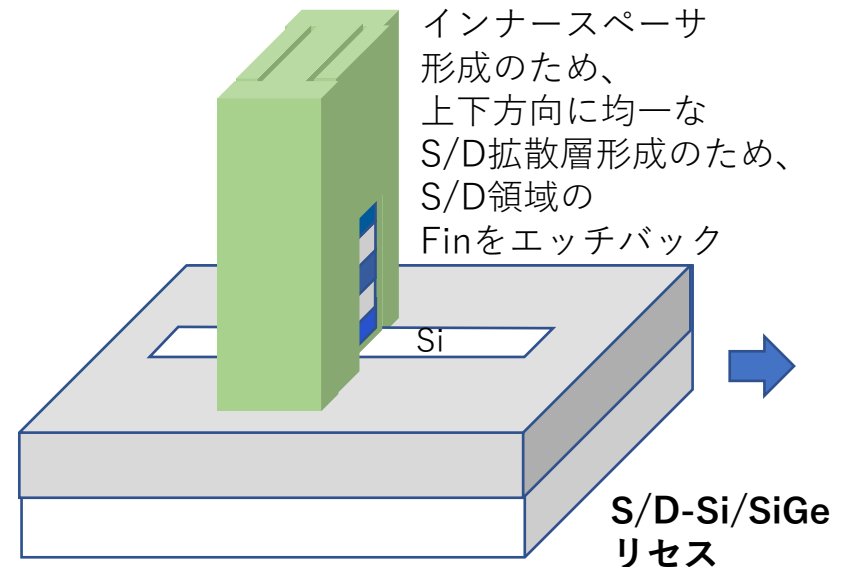
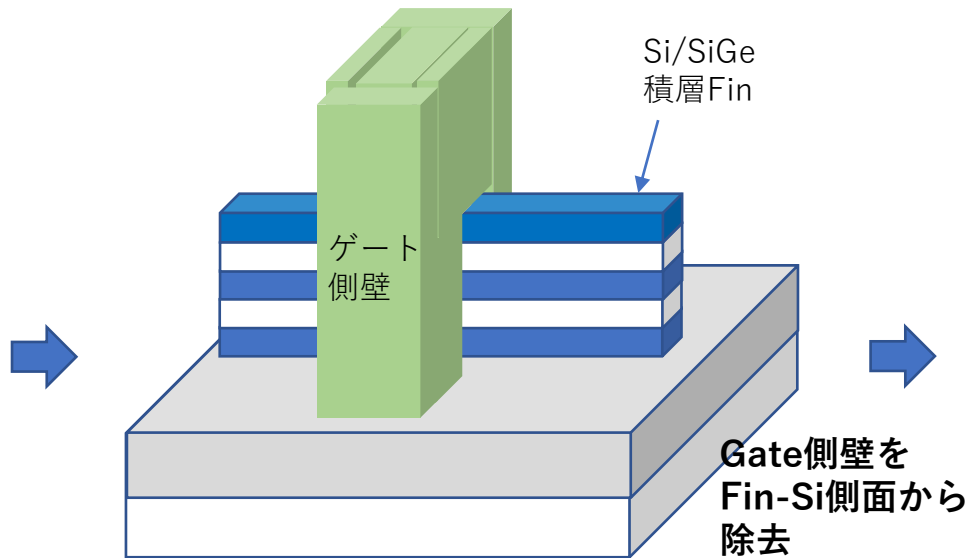
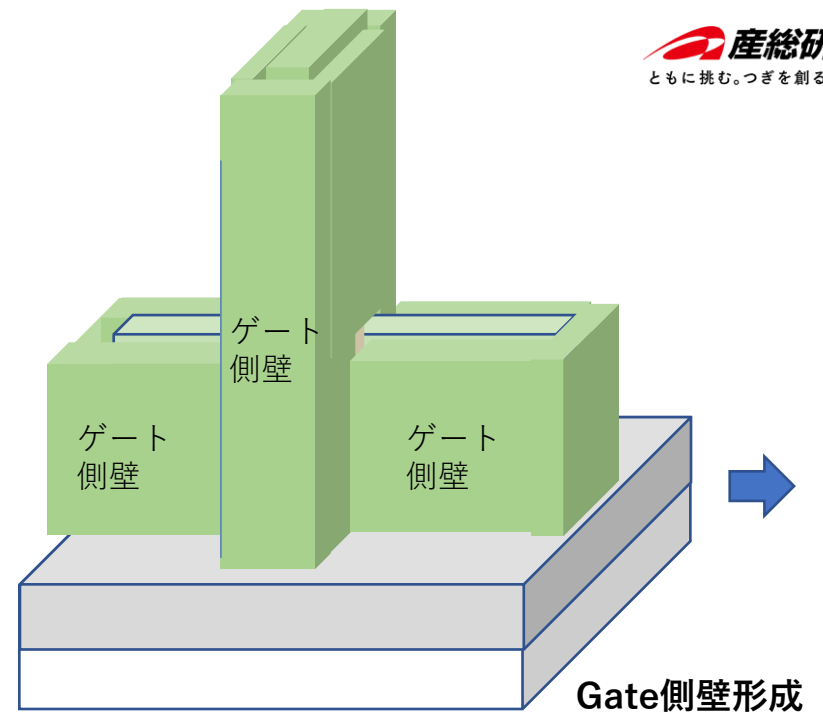
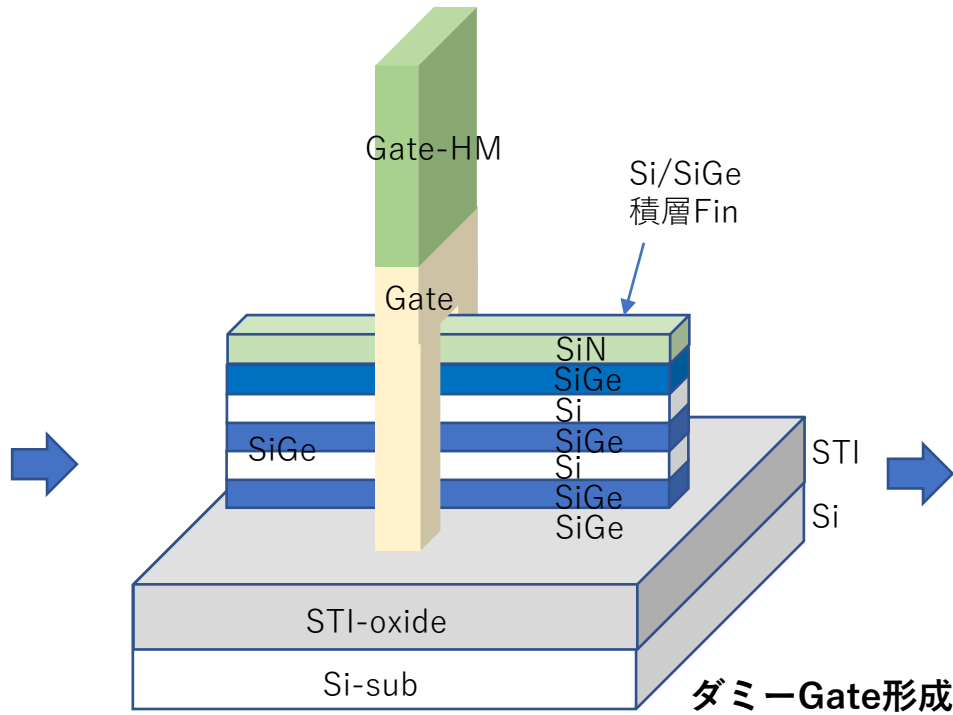
II. 学会動向(応用編)

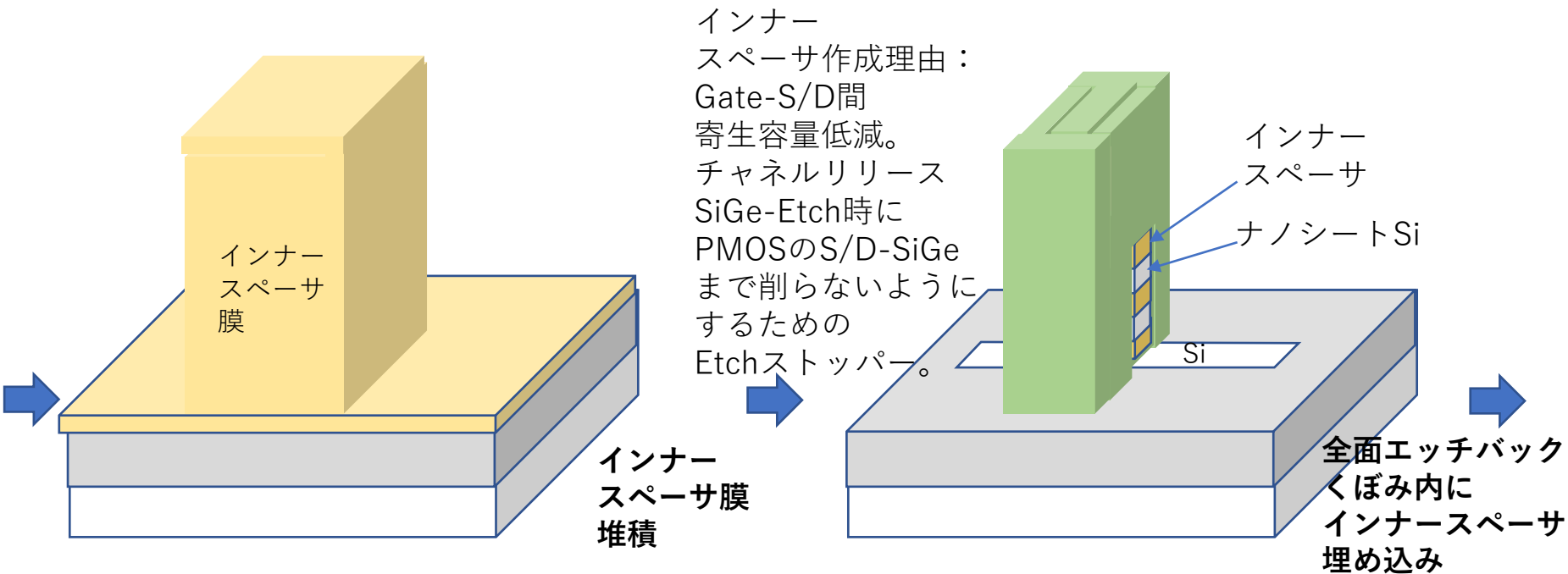
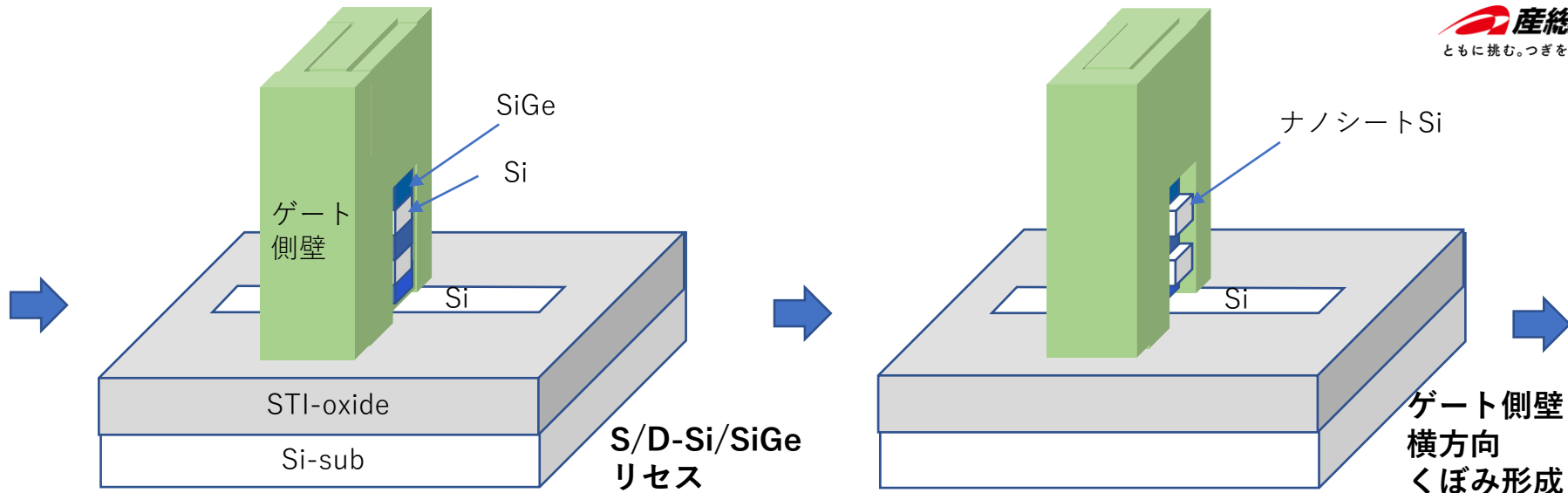
- (1) GAAFET(IBM, 三星, GF)
- (2) CFET(imec, 等)
- (3) 2D材料(TSMC, imec, 等)
- (4) 裏面配線(Intel, 三星, IBM, imec, 等)

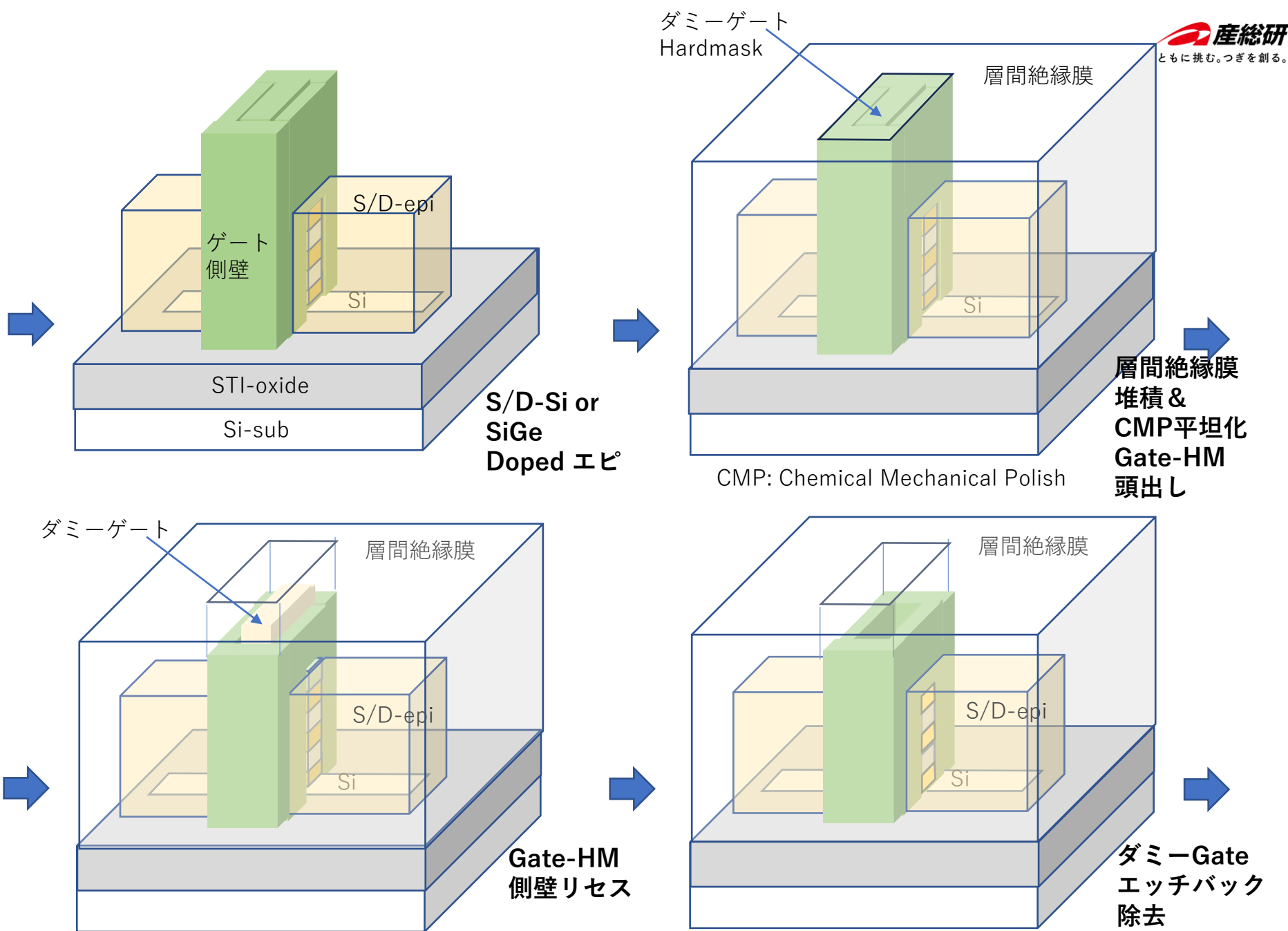
III. 将来展望(私見)

Nanosheet GAAFETプロセスフロー鳥瞰図

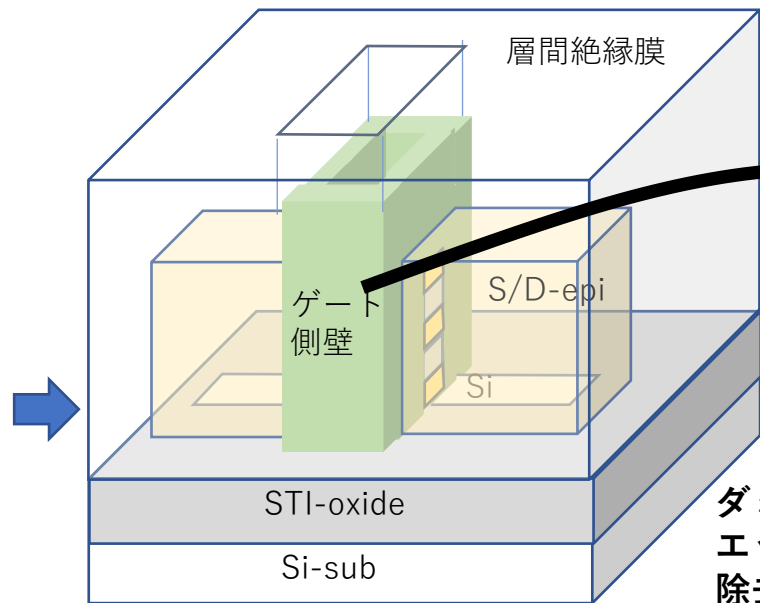








手前の側壁を除去した図



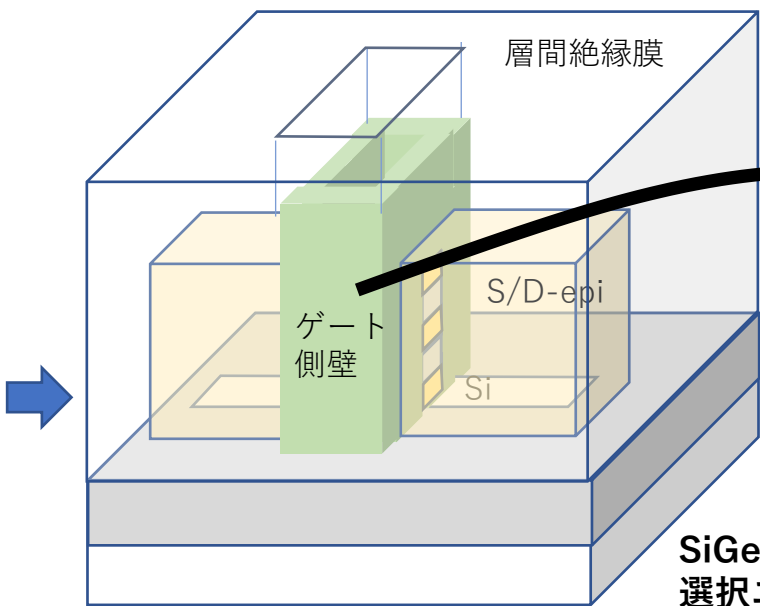
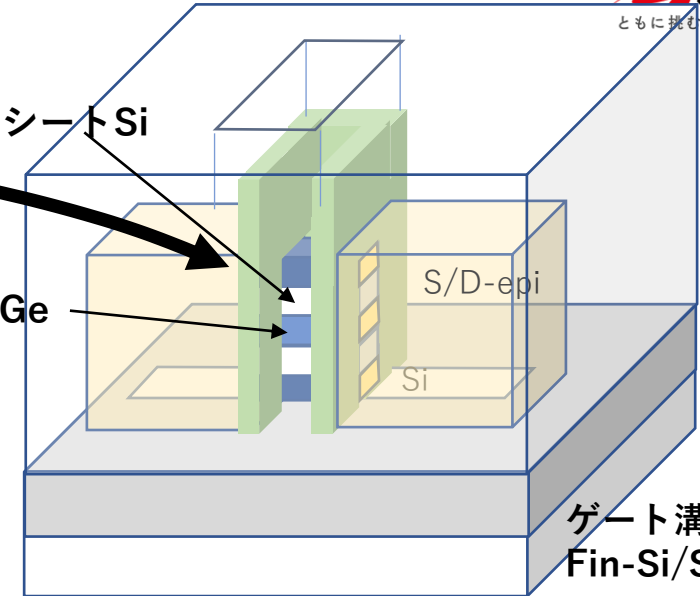
除去

=

ダミーGate
エッチバック
除去

ナノシートSi

SiGe



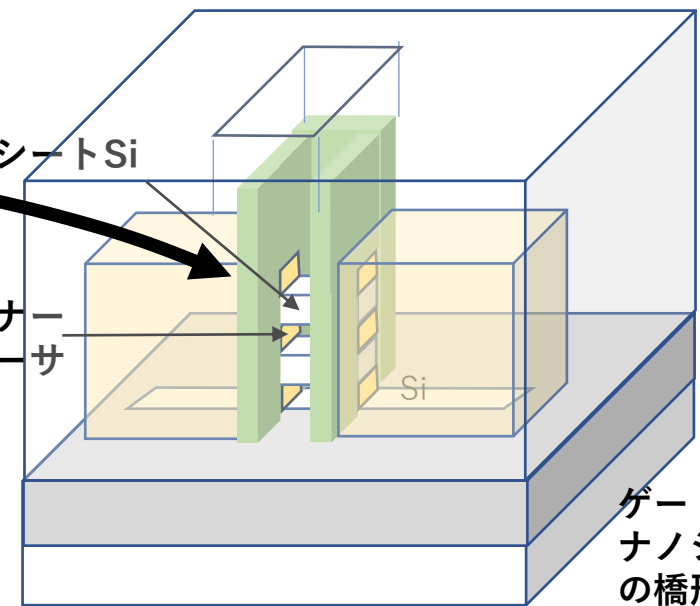
除去

=

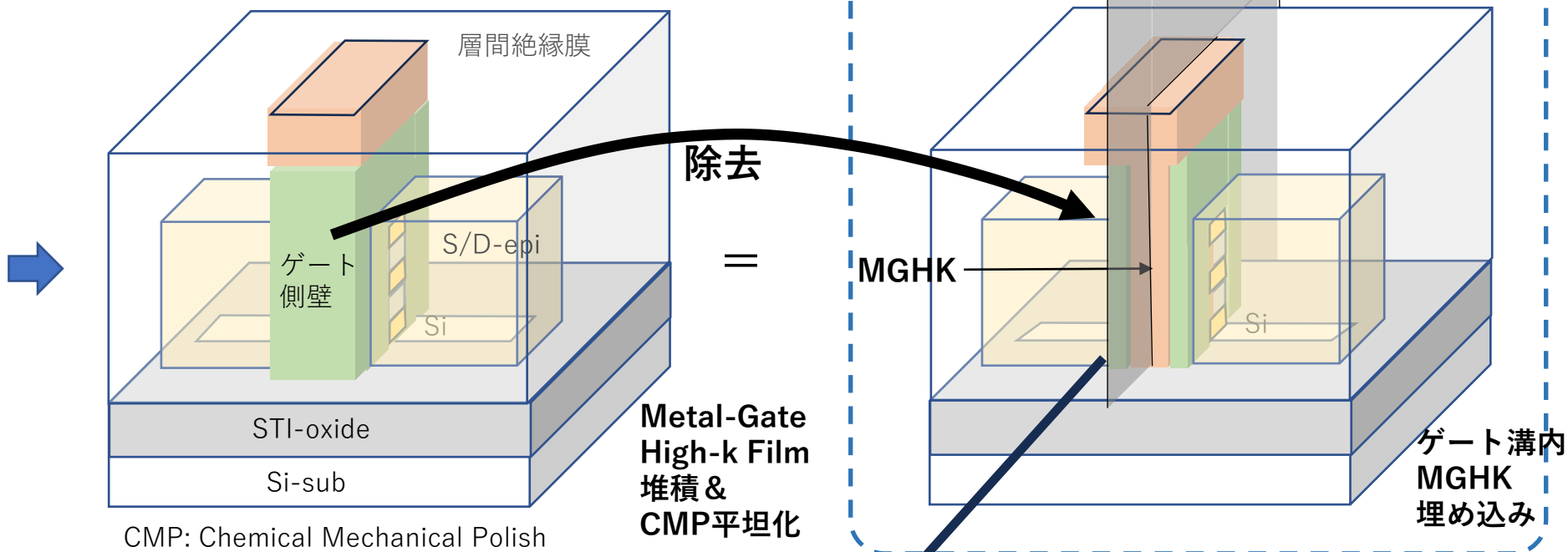
SiGe
選択エッチング

ナノシートSi

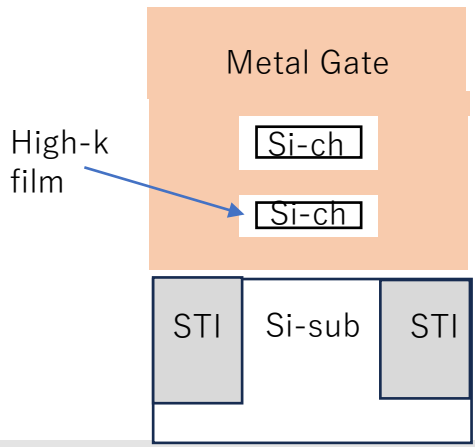
インナー
スペーサ



手前の側壁を除去した図



ナノシートGAAFET完成



断面

トランジスタ構造の変遷のまとめ

- GateプロセスはPoly-Si-Gate/SiO₂絶縁膜の Gate-Firstから Metal Gate/High-kを用いたセルフアラインGate-Lastへ進化。

(電氣的ゲート絶縁膜薄膜化しつつゲートリーク低減、ゲート配線抵抗低減、Gate-S/Dセルフアライン、等のため)

- トランジスタ構造はPlanarFETからFinFET(立体化)、ナノシートGAAFET(積層化)へと進化。

(ゲートのチャネル制御力を高め、微細化と高駆動力化のため)

- GAAFETはFinFETの発展形であり、両者のプロセスは類似する点が多い。